

TEMA 6. MEMORIAS

1. Conceptos básicos. Terminología básica (2-7)
 - 1.1 Organización. Jerarquía. Estructura general (8-15)
 - 1.2 Clasificación según: tecnología de fabricación, acceso a la información y perdurabilidad de la información (16-26)
2. Memorias de solo lectura (ROM) (27)
 - 2.1 Estructura general. Células básicas (28-29)
 - 2.2 Organización de la memoria ROM estáticas (30-31)
 - 2.3 Ejemplos de implementación de memorias (32-34)
 - 2.4 Diagramas de tiempo (35-37)
3. Memorias de acceso aleatorio (RAM) (38)
 - 3.1 Estructura general (39)
 - 3.2 Célula básicas de una RAM estática (40-43)
 - 3.3 Organización de las memorias RAM estáticas. Señales CAS y RAS (44-47)
 - 3.4 Diagramas de tiempos de las RAM estáticas (48-51)
4. Expansión de la capacidad de las memorias (52)
 - 4.1 Aumento del tamaño de la palabra (53-54)
 - 4.2 Aumento del número de palabras (55-56)



1

1 CONCEPTOS BÁSICOS. DEFINICIÓN DE MEMORIA.

1. Una memoria es un dispositivo o conjunto de dispositivos destinados al almacenamiento de la información en un sistema.
2. Están constituidos por células elementales capaces de almacenar 1bit.
3. Normalmente se agrupan en registros de varios bits capaces de almacenar un dato o una instrucción.



2

TERMINOLOGÍA BÁSICA (I)

1. Palabra.

Un conjunto de bits que guardan una instrucción o un dato.

2. Tamaño de la palabra.

El número de bits requeridos para almacenar un dato o una instrucción.

3. Capacidad de memoria.

- Se expresa a través de :
 - El número de registros o posiciones de memoria, que es capaz de direccionar (número de palabras a las que puede acceder) y
 - El número de bits que forma cada palabra.
- Ejemplo:
 - Memoria de 1024x8.
1024 palabras = 1Kpalabra.
8 bits cada una de ellas.
Número de bits totales = $1024 \times 8 = 8192$ bits.



3

TERMINOLOGÍA BÁSICA (II)

4. Dirección.

- Es un número binario (código binario), que identifica la posición de la palabra o registro. A cada palabra le corresponde una única dirección.
 - Por tanto el tamaño de la memoria determina el número de bits necesarios para codificar la dirección.

	A ₂	A ₁	A ₀	CONTENIDO	PALABRA
P ₀	0	0	0	0110	0
P ₁	0	0	1	1010	1
P ₂	0	1	0	1111	2
P ₃	0	1	1	0000	3
P ₄	1	0	0	1100	4
P ₅	1	0	1	0110	5
P ₆	1	1	0	0101	6
P ₇	1	1	1	0001	7



4

TERMINOLOGÍA BÁSICA (III)

5. Operación de lectura.

- Consiste en sacar la información contenida en una cierta posición de memoria para transferirla a otro lugar.
 - La información del origen debe permanecer sin modificaciones después de efectuada la operación de lectura.

6. Operación de escritura.

- Consiste en introducir una información en una posición específica de la memoria, "quitando" la posible información que hubiese previa a la operación de escritura.



5

TERMINOLOGÍA BÁSICA (IV)

7. Habilitación de la memoria.

- Señal que permite seleccionar a un solo bloque de memoria, dentro de un conjunto de recursos que vuelcan información al mismo recurso compartido; el resto de los bloques colocan su salida en alta impedancia.

8. Tiempo de acceso.

- Tiempo requerido por la memoria para realizar una operación de lectura.
 - Medida de la velocidad de memoria.

9. Tiempo de ciclo.

- Tiempo requerido por la memoria para realizar bien una operación de lectura o de escritura.
 - $T_C > T_{ACC}$.



6

TERMINOLOGÍA BÁSICA (V)

10. El Tamaño, definido por el número de bits que contiene.

Muy relacionado con el coste por bit almacenado, puesto que finalmente determinará el tamaño de dicha memoria.

11. La velocidad o tiempo que se tarda en acceder a la información.

12. Consumo de energía.

A igualdad en el resto de características, son preferibles, aquellas memorias de menor consumo.

13. Coste por bit

En general, cuanto menor es el coste por bit, mayor es el tiempo de acceso.

Normalmente es preciso llegar a soluciones de compromiso, o emplear distintos tipos de memoria de forma jerárquica:

- Una muy rápida (aunque cara y por lo tanto pequeña) para aquellas informaciones de las cuales se necesite hacer uso frecuentemente
- Otras de mayor capacidad pero más lentas para contener información cuyo uso en una situación dada sea menos probable.



7

1.1 ORGANIZACIÓN. JERARQUÍA. ESTRUCTURA GENERAL (I)

Actualmente se suelen emplear cuatro niveles en la jerarquía de memoria:

❶ Cache de nivel 1 (L1).

- Es una pequeña memoria "cache" contenida en el propio chip del procesador.
- Suele poseer una capacidad de algunos kilobytes (Kb).

❷ Cache de nivel 2 (L2).

- Es una memoria externa al procesador cuyo tamaño puede variar desde los cientos de kilo-bytes a unos pocos mega-bytes.
- Suele ser memoria MOS estática.



8

1.1 ORGANIZACIÓN. JERARQUÍA. ESTRUCTURA GENERAL (II)

• Memoria principal.

- Tamaño (por el momento) del orden de los cientos de megabytes.
- Implementada en memoria MOS dinámica.

• Memoria secundaria.

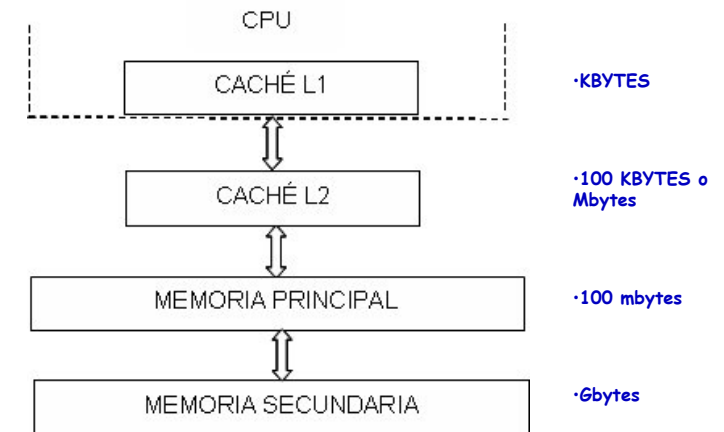
- Consiste en almacenamiento en soporte magnético, óptico o magneto-óptico con capacidades del orden de 10^9 bytes en adelante.



9

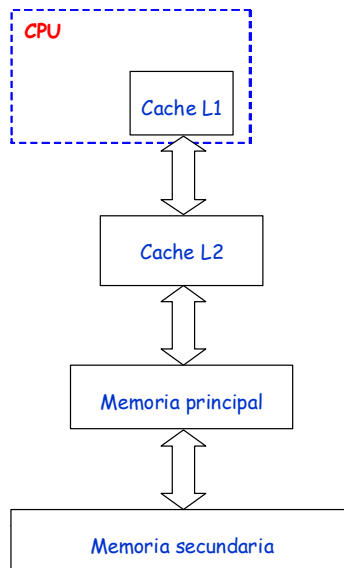
1.1 ORGANIZACIÓN. JERARQUÍA. ESTRUCTURA GENERAL (III)

Jerarquía



10

1.1 ORGANIZACIÓN. JERARQUÍA. ESTRUCTURA GENERAL (IV)



11

1.1 ORGANIZACIÓN. JERARQUÍA. ESTRUCTURA GENERAL (V)

1. Una memoria tiene tres grupos de señales:

□ Líneas de dirección.

- Se utilizan para especificar la posición (localización, ubicación) del dato.

□ Líneas de datos.

- Empleadas para introducir el dato en las operaciones de escritura o recoger (extraer) el dato en las de lectura.

□ Líneas de control.

- Empleadas para determinar tanto la operación a efectuar, como manejar la activación de la memoria y su salida.



12

1.1 ORGANIZACIÓN. JERARQUÍA. ESTRUCTURA GENERAL (VI)

Líneas de control.

- R/\overline{W} (Read/Write).
 - Permite especificar una operación de lectura (valor alto de la señal) o escritura (valor bajo).
- \overline{OE} (Output Enable).
 - Señal de activación de salida triestado.
 - Cuando la señal está activa (valor de tensión bajo), el contenido de la celda pasa a las líneas de salida de datos.
 - Cuando está inactiva (valor de tensión alto), la salida se encontrará en el estado de alta impedancia.



13

1.1 ORGANIZACIÓN. JERARQUÍA. ESTRUCTURA GENERAL (VII)

□ \overline{CE} (Chip Enable) o \overline{CS} (Chip Select)

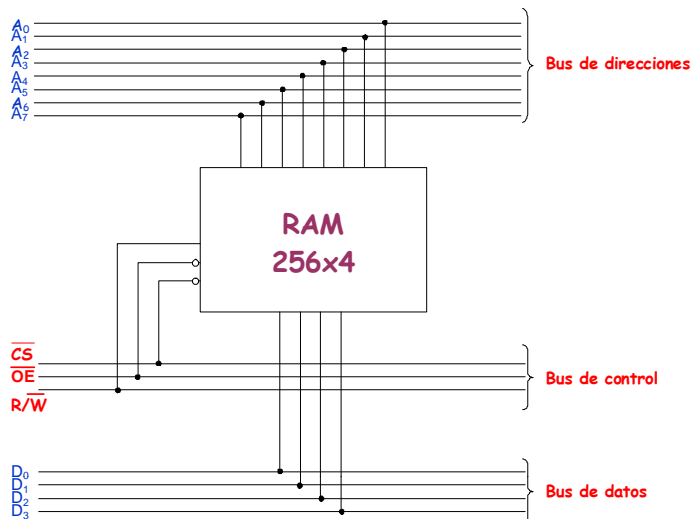
- Señal de activación general de la memoria.
 - Cuando está desactivada (valor de tensión alto), la memoria queda deshabilitada.
 - » En esta situación, el consumo en potencia es mucho menor que en condiciones de activación.
 - » Además y con independencia del valor de la señal \overline{OE} , la salida permanece en el estado de alta impedancia.
 - Cuando está activada (valor de tensión bajo) la memoria puede accederse con normalidad.



14

1.1 ORGANIZACIÓN. JERARQUÍA. ESTRUCTURA GENERAL (VIII)

Diagrama de bloques de la estructura general de una memoria



15

1.2 CLASIFICACIÓN (I)


Realizaremos una clasificación de los tipos de memoria atendiendo a tres conceptos diferentes:

- o Clasificación por la tecnología empleada.
- o Clasificación por el modo de direccionamiento de la información.
- o Clasificación por el grado de perdurabilidad de la información (memoria).



16

1.2 CLASIFICACIÓN (II)

CRITERIO	NOMBRE	CARACTERÍSTICAS
Tecnología de Fabricación	NÚCLEOS de FERRITA 	Dos estados posibles de magnetización
	Memorias SEMICONDUCTORAS	Capacidad
		Velocidad
		Consumo
	BIPOLARES	Inmunidad
	MOS	Coste
	CCD	baja
		alta
		alto
		baja
		alta
		bajo
	BURBUJAS MAGNÉTICAS	La información se almacena en capacidades
		Ausencia o presencia de burbuja (0,1)
Perdurabilidad de la Información	Permanentes	La información grabada permanece sin alimentación (ROM)
	No permanentes y No volátiles	Almacenamiento masivo (cintas, discos, CDs)
	Volátiles	Desaparece la información en ausencia de alimentación (RAM)
Forma de Acceso a la información	Secuencial (SAM)	Hay que pasar por información anterior. Almacenamiento masivo (cintas, CD)
	Aleatorio (RAM)	Se accede a cualquier posición directamente. Mismo tiempo. Las estáticas más rápidas
	Por contenido (CAM)	No utilizan el concepto de dirección. Compara un parámetro con descriptores y asocia (Base de datos)



17

1.2 CLASIFICACIÓN (III)

TECNOLOGÍA DE FABRICACIÓN (I)

Muchas de las tecnologías han sido desechadas con el tiempo.

❑ Ejemplo (histórico): memorias de núcleos de ferrita.

Respecto a las tecnologías empleadas, actualmente, para la fabricación de las memorias podemos dividir en dos grandes grupos:

❑ Memorias semiconductoras (bipolares, MOS y BiCMOS) que constituyen la memoria principal de los computadores.

❑ Dispositivos basados en almacenamiento magnético, óptico o magneto-óptico, para grandes volúmenes de información.



18

1.2 CLASIFICACIÓN (IV)

TECNOLOGÍA DE FABRICACIÓN (II)

1. Las memorias basadas en transistores bipolares son las más rápidas.

❑ Sin embargo, tienen el inconveniente de tener un consumo de potencia elevado, una pequeña densidad de integración y un precio también elevado.

2. Las memorias con tecnología mixta como es la BiCMOS, emplean transistores bipolares principalmente en los circuitos periféricos para lograr una mayor velocidad, pero el núcleo de la memoria utiliza tecnología CMOS.

3. Las memorias más extendidas actualmente son las memorias CMOS, por sus ventajas en cuanto a precio, consumo y capacidad de integración.

❑ Antiguamente tenían el inconveniente de ser excesivamente lentas, pero la tecnología MOS ha mejorado sensiblemente en velocidad con el paso del tiempo; de forma que se aproxima a la bipolar



19

1.2 CLASIFICACIÓN (V)

MODO DE DIRECCIONAMIENTO

Por el modo de direccionamiento, pueden clasificarse en memorias de acceso:

1. Aleatorio.
2. Secuencial.
3. Por contenido.



20

1.2 CLASIFICACIÓN (VI)

1. Acceso aleatorio.

1. Es posible acceder directamente a cualquier célula de memoria.
2. El tiempo utilizado en acceder a cualquier información es independiente de la ubicación física de dicha información dentro de la memoria.
3. Estas memorias se puede interpretar como una tabla con 2^n posiciones.
 - Cada posición viene especificada por una "dirección" comprendida entre 0 y 2^{n-1} posiciones.
 - Cada posición contiene m bits de información, siendo habitual que m sea una potencia de 2, típicamente un byte (ocho bits).
4. Para acceder a la información contenida en una posición es preciso especificar de qué posición se trata; es decir, proporcionar su dirección.
 - Facilitar los n bits que especifican la dirección.
 - Activar algunas señales adicionales de control de la memoria.
5. Ejemplos: Memorias ROM (Read Only Memory), Memorias RAM (Random Access Memory).



21

1.2 CLASIFICACIÓN (VII)

2. Acceso secuencial.

1. El acceso secuencial indica que no es posible direccionar directamente cualquier celda de la memoria.
2. Para acceder a una determinada celda es necesario pasar por todas las anteriores.
3. Ejemplo: Cintas magnéticas.

3. Acceso por contenido.

1. Llamadas también memorias asociativas o *CAM (Content Addressable Memory)*.
2. Se diferencian del resto, en que para obtener un determinado dato no se le proporciona a la memoria la dirección de dicho dato, sino un descriptor asociado a dicho dato.
3. La memoria compara todos los descriptors con el proporcionado a su entrada y en caso de poseerlo entrega a su salida el dato asociado.



22

1.2 CLASIFICACIÓN (VIII)

PERDURABILIDAD DE LA INFORMACIÓN

Atendiendo a este criterio pueden clasificarse en memorias:

- ☐ Permanentes.
- ☐ No permanentes y no volátiles.
- ☐ Volátiles.



23

1.2 CLASIFICACIÓN (IX)

1. Memorias permanentes.

- ☐ Aquellas en que la información perdura y no se puede cambiar durante el proceso normal de operación de la memorias.
- ☐ Son memorias que solamente se pueden leer.
- ☐ Algunos tipos de memorias permanentes son:
 - Memorias ROM (*Read Only Memory*)
 - La información se graba durante la fase de construcción de la memoria.
 - No es posible alterarla nunca.



24

1.2 CLASIFICACIÓN (X)

- Memorias PROM (*Programmable Read Only Memory*)
 - La información puede ser grabada por el usuario.
 - Una vez grabada no puede alterarse nunca más.
- Memorias EPROM (*Erasable Programmable Read Only Memory*)
 - La información puede ser grabada por el usuario.
 - Puede ser borrada en su totalidad, exponiendo la memoria a luz ultravioleta durante minutos, para volverse a grabar por parte del usuario.
- Memorias EEPROM (*Electrically Erasable and Programmable Read Only Memory*)
 - La información puede ser grabada por el usuario.
 - La realización de escritura en la memoria requiere la aplicación de tensiones superiores a las normales de funcionamiento.



25

1.2 CLASIFICACIÓN (XI)

2. Memorias no permanentes y no volátiles.
 - ❑ Son memorias no volátiles en el sentido que la información permanece almacenada aunque se elimine la alimentación.
 - ❑ Son memorias no permanentes en el sentido que pueden alterar su contenido en el normal funcionamiento de éstas.
 - ❑ Ejemplo: Cintas y discos magnéticos.
3. Memorias volátiles.
 - ❑ La información de la memoria desaparece cuando se elimina la alimentación.
 - ❑ Pueden clasificarse a su vez en:
 - Memorias estáticas: basadas en la idea de realimentación.
 - Ejemplo: memorias SRAM (*Static Random Access Memory*).
 - Memorias dinámicas: su contenido debe restaurarse cada cierto tiempo.
 - Ejemplo: memorias DRAM (*Dinamic Random Access Memory*).



26

2 MEMORIAS DE SOLO LECTURA: ROM

Una memoria ROM (Read Only Memory) es una memoria de acceso aleatorio, permanente, no volátil y de solo lectura.

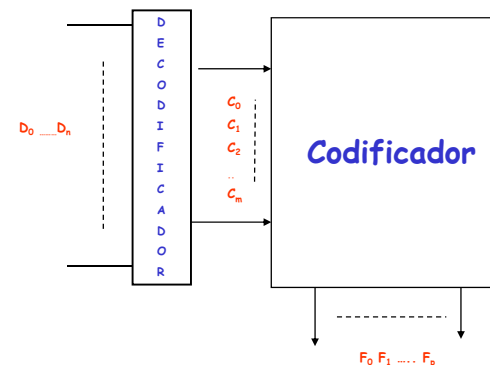
- ❑ No requiere de una señal que diferencie entre lectura y escritura.
- ❑ Su estructura externa, por tanto, es igual a la estructura general de memorias, que se ha presentado anteriormente.



27

2.1 ESTRUCTURA GENERAL. CÉLULAS BÁSICAS

ESTRUCTURA de BLOQUES



DOS BLOQUES:

DECODIFICADOR (direcciones)

CODIFICADOR (mapa de memoria)

N entradas al decodificador (señales de dirección) → **M** salidas del decodificador (direcciones del mapa de memoria);
 $2^N \geq M$

P salidas del codificador (n° de bits de los datos leídos en el mapa de memoria)

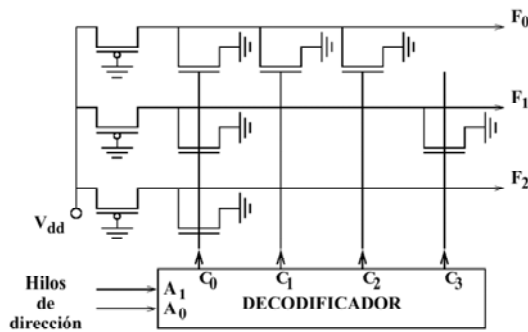
Es un sistema combinacional: (en el caso de implementación de sistemas combinacionales, las **M** salidas son las funciones a sintetizar)



28

2.1 ESTRUCTURA GENERAL. CÉLULAS BÁSICAS

CÉLULA BÁSICA: transistor MOS



DOS BLOQUES:

DECODIFICADOR (direcciones) se presenta como bloque funcional.

CODIFICADOR (mapa de memoria), está formado por una matriz de transistores MOS.

29

2.2 ORGANIZACIÓN DE UNA ROM (I)

Con objeto de limitar el tamaño del decodificador de direcciones empleado se suele organizar la memoria en forma de matriz bidimensional.

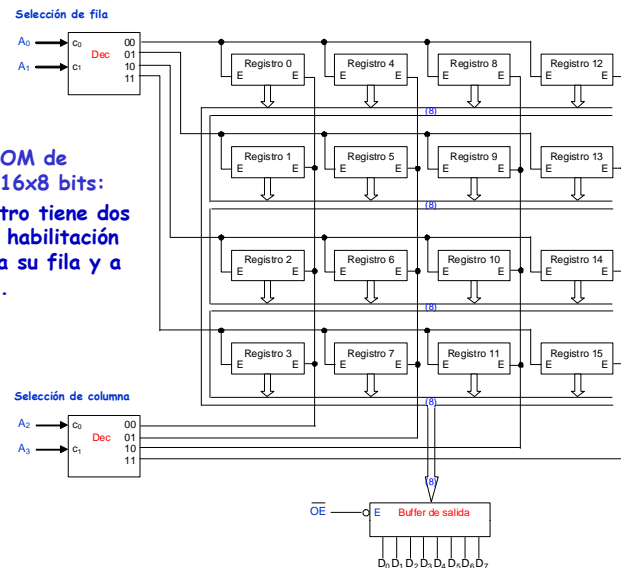
- Cada elemento de la matriz está formado por un registro de la misma dimensión que el de la palabra de la memoria.
- Se utilizan dos decodificadores, una para las filas y otro para las columnas

Un ejemplo sencillo se muestra en la siguiente figura.

30

2.2 ORGANIZACIÓN DE UNA ROM (II)

Memoria ROM de capacidad 16x8 bits:
Cada registro tiene dos señales de habilitación asociadas a su fila y a su columna.



31

2.3 EJEMPLOS DE IMPLEMENTACIÓN (I)

Constrúyase una memoria ROM con tecnología pseudo nMOS estática, que implemente las funciones:

$$F_2 = D_1 D_0$$

$$F_1 = \overline{D_1} D_0 + D_1 \overline{D_0}$$

$$F_0 = D_1 + D_0 \rightarrow F_0 = \overline{D_1} D_0 + D_1 \overline{D_0} + D_1 D_0$$

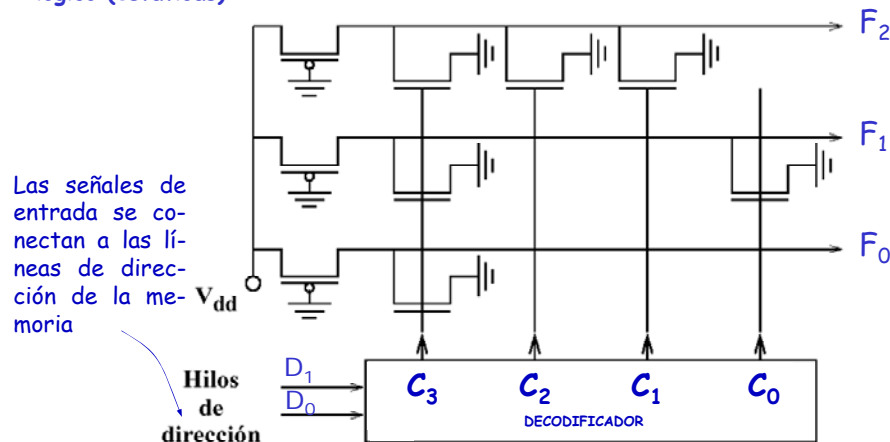
Entradas al decodificador de direcciones: D_1, D_0
Entradas al mapa de memoria (codificador): C_3, C_2, C_1, C_0
Funciones de salida: F_2, F_1, F_0

D_1	D_0	C_3	C_2	C_1	C_0	F_2	F_1	F_0
0	0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1	1
1	0	0	0	1	0	0	1	1
1	1	0	0	0	1	1	0	1

32

2.3 EJEMPLOS DE IMPLEMENTACIÓN (II)

La presencia de un transistor equivale a un cero lógico y su ausencia a un uno lógico (estáticas)



33

2.3 EJEMPLOS DE IMPLEMENTACIÓN (III)

EJERCICIO DE APLICACIÓN: Constrúyase una memoria ROM en tecnología pseudo nMOS estática, que implemente las funciones:

$$F_3 = BD$$

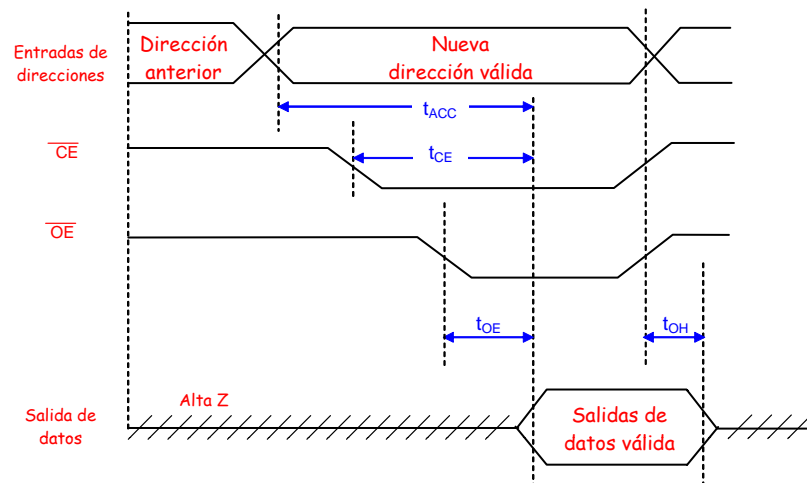
$$F_2 = AD + \overline{D}C$$

$$F_1 = B\overline{D}$$

34

2.4 DIAGRAMAS DE TIEMPO: CICLO DE LECTURA EN ROM (I)

Temporización común de una operación de lectura en ROM.



35

2.4 DIAGRAMAS DE TIEMPO: CICLO DE LECTURA (II)

1. Tiempos principales.

t_{ACC} - (ACCEss time).

- Tiempo de acceso. Representa el tiempo transcurrido desde que las señales que codifican una dirección están estables en las entradas de la memoria hasta que se obtienen los datos en la salida (señales a la salida estables).

t_{CE} - (Chip Enable time).

- Tiempo de activación de la memoria. Es el tiempo que tarda en producirse la salida de datos, con señales de salida estables, desde la activación de la señal \overline{CE} .

36

2.4 DIAGRAMAS DE TIEMPO: CICLO DE LECTURA (III)

t_{OE} - (Output Enable time).

- Tiempo de activación de la salida. Es el tiempo que tarda en producirse la salida de datos, con señales de salida estables, desde la activación de la señal OE.

t_{OH} - (Output Hold time).

- Tiempo de mantenimiento de la salida. Es el tiempo que permanece válida la salida (las señales asociadas permanecen estables), desde que la dirección se modifica (señales dejan de estar estables) o bien se desactiva la señal \overline{CE} , o la señal \overline{OE} .



37

3. MEMORIAS DE ACCESO ALEATORIO: RAM (I)

o Una memoria RAM (*Random Access Memory*) es una memoria de acceso aleatorio, no permanente y volátil.

o Las RAM pueden clasificarse en dos grandes grupos:

□ Estáticas (SRAM- *Static Random Access Memory*).

- Basadas en el principio de realimentación.
- En general son más rápidas pero ocupan más área.

□ Dinámicas (DRAM- *Dynamic Random Access Memory*).

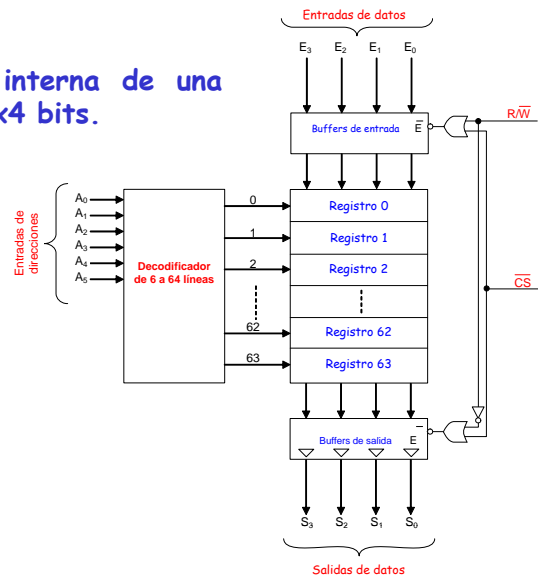
- Basadas en el almacenamiento en una capacidad (MOS).
- Son más lentas, pero presentan una mejor densidad por unidad de área.



38

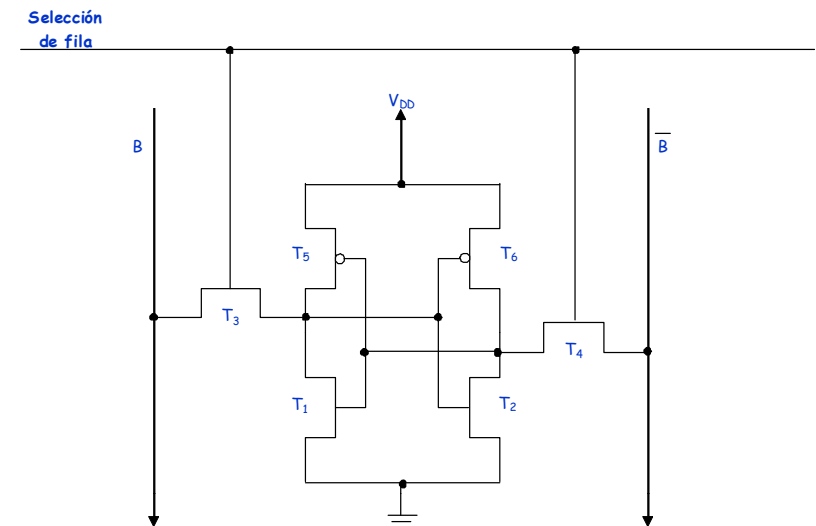
3.1 ESTRUCTURA GENERAL

Estructura interna de una RAM de 64x4 bits.



39

3.2 CÉLULA BÁSICA DE UNA MEMORIA RAM ESTÁTICA (I)



40

3.2 CÉLULA BÁSICA DE UNA MEMORIA RAM ESTÁTICA (II)

OPERACIONES (I)

Escritura de un '1'.

- Programación de señales:

selección de fila = 1, $B = 1$ y $\overline{B} = 0$.

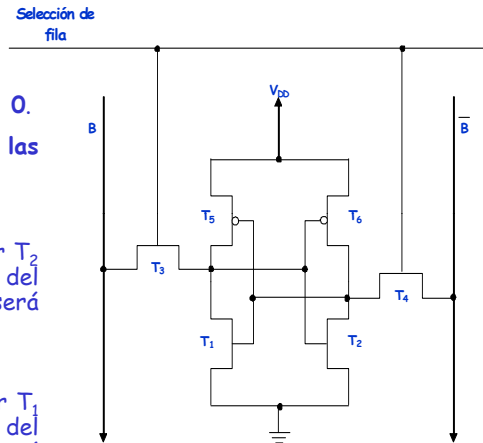
- La señal selección de fila activa las puertas de transmisión T_3 y T_4 .

- $B \rightarrow T_3 \rightarrow$ Entrada de T_2 y T_6

- Salida del inversor formado por T_2 y T_6 será un 0 \rightarrow Entrada del inversor formado por T_1 y T_5 será un 0.

- $\overline{B} \rightarrow T_4 \rightarrow$ Entrada de T_1 y T_5

- Salida del inversor formado por T_1 y T_5 será un 1 \rightarrow Entrada del inversor formado por T_2 y T_6 será un 1.



41

3.2 CÉLULA BÁSICA DE UNA MEMORIA RAM ESTÁTICA (III)

OPERACIONES (II)

Escritura de un '0'.

- Programación de señales:

selección de fila = 1, $B = 0$ y $\overline{B} = 1$.

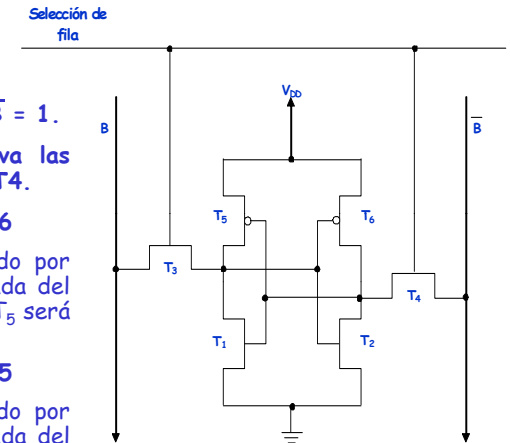
- Señal selección de fila activa las puertas de transmisión T_3 y T_4 .

- $B \rightarrow T_3 \rightarrow$ Entrada de T_2 y T_6

- Salida del inversor formado por T_2 y T_6 será un 1 \rightarrow Entrada del inversor formado por T_1 y T_5 será un 1.

- $\overline{B} \rightarrow T_4 \rightarrow$ Entrada de T_1 y T_5

- Salida del inversor formado por T_1 y T_5 será un 0 \rightarrow Entrada del inversor formado por T_2 y T_6 será un 0.



42

3.2 CÉLULA BÁSICA DE UNA MEMORIA RAM ESTÁTICA (IV)

OPERACIONES (III)

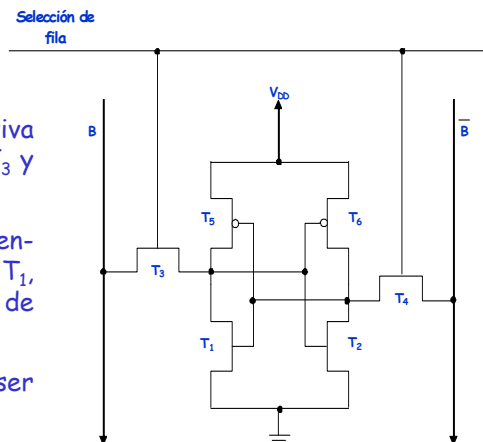
Lectura.

- selección de fila = 1.

- La señal selección de fila activa las puertas de transmisión T_3 y T_4 .

- El dato guardado por realimentación en los transistores T_1 , T_2 , T_5 y T_6 pasa a las líneas de dato B y \overline{B} .

- El valor de salida debe ser amplificado.

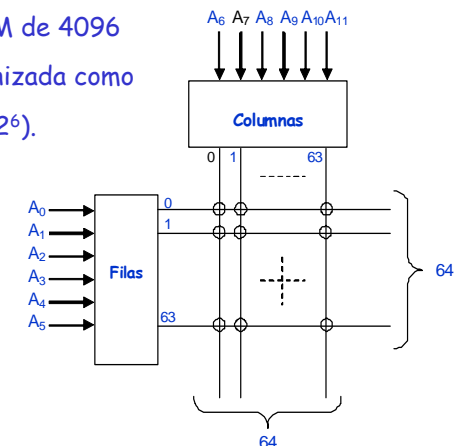


43

3.3 ORGANIZACIÓN DE LAS MEMORIAS RAM ESTÁTICAS (I)

ORGANIZACIÓN MATRICIAL O POR COINCIDENCIA: la organización puede realizarse también en forma de matriz bidimensional.

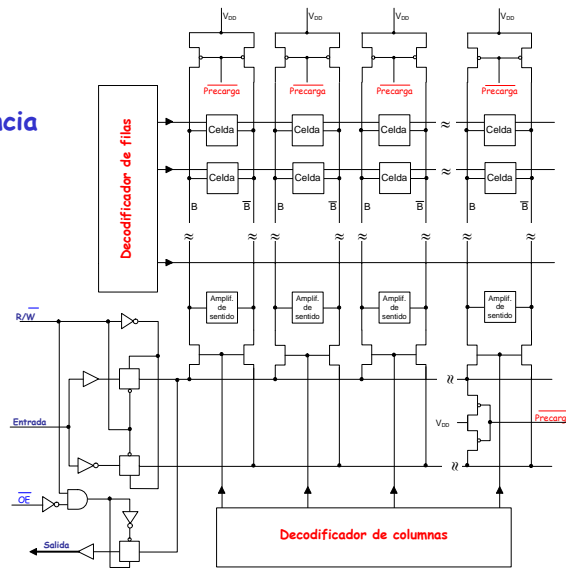
- Ejemplo: una memoria RAM de 4096 posiciones puede ser organizada como una matriz de 64×64 ($64=2^6$).



44

3.3 ORGANIZACIÓN DE UNA MEMORIA RAM ESTÁTICA (II)

Organización por coincidencia



45

3.3 ORGANIZACIÓN DE LAS MEMORIAS RAM ESTÁTICAS (III)

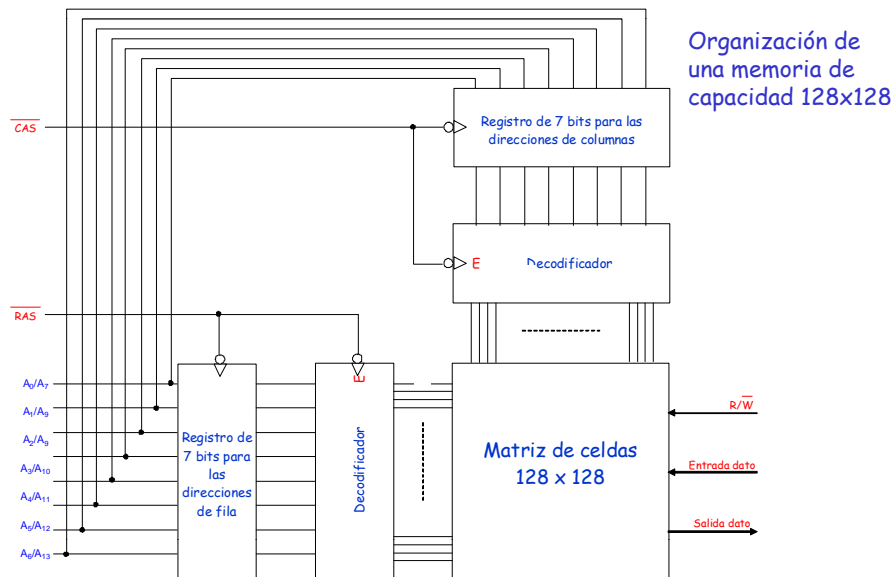
ORGANIZACIÓN CON COMPARTICIÓN DE LÍNEAS DE DIRECCIÓN:

Las memorias de gran tamaño, requieren bastantes líneas de dirección. Una manera de "ahorrar" líneas de dirección es organizar la memoria en forma matricial y compartir un mismo grupo de líneas para seleccionar primero la fila de la matriz y posteriormente la columna de la misma.

- Esta técnica requiere de dos registros de almacenamiento intermedio:
 - Uno para las filas y gobernado por la señal **RAS** (Row Address Strobe).
 - Señal activa a nivel bajo.
 - Otro para las columnas, gobernado por la señal **CAS** (Column Address Strobe).
 - Señal activa a nivel bajo.
- Este método es el habitual en las memorias DRAM (Dynamic Random Access Memory).

46

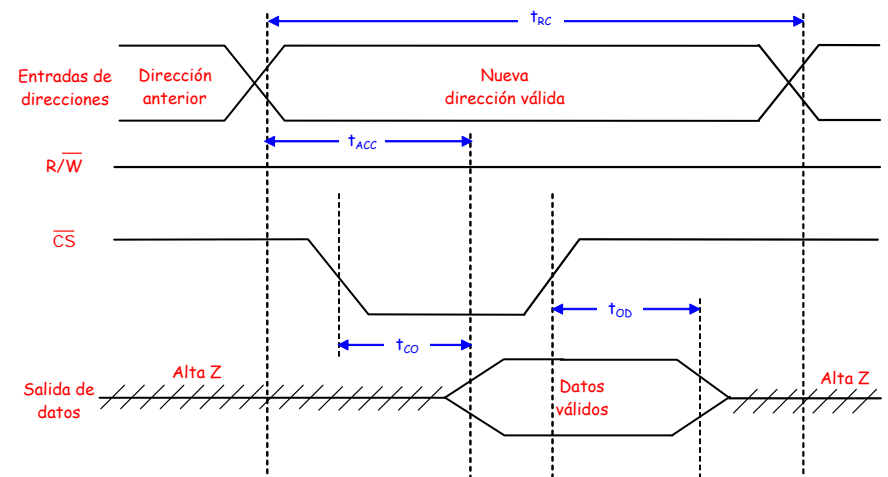
3.3 ORGANIZACIÓN DE LAS MEMORIAS RAM ESTÁTICAS (IV)



47

3.4 DIAGRAMAS DE TIEMPO DE LAS RAM ESTÁTICAS

CICLO DE LECTURA (I)



48

3.4 DIAGRAMAS DE TIEMPOS DE LAS RAM ESTÁTICAS

CICLO DE LECTURA (II)

t_{RC} - (Read Cycle time).

- Tiempo mínimo de un ciclo de lectura completo.

t_{ACC} - (ACCEss time).

- Tiempo de acceso. Tiempo mínimo transcurrido desde que se proporciona una nueva dirección hasta que se obtienen los datos en la salida.

t_{CO} - (Chip Output time).

- Tiempo de activación de la salida. Tiempo mínimo transcurrido desde que se activa el circuito de memoria hasta que se obtienen los datos en la salida.

t_{OD} - (Output Delay time).

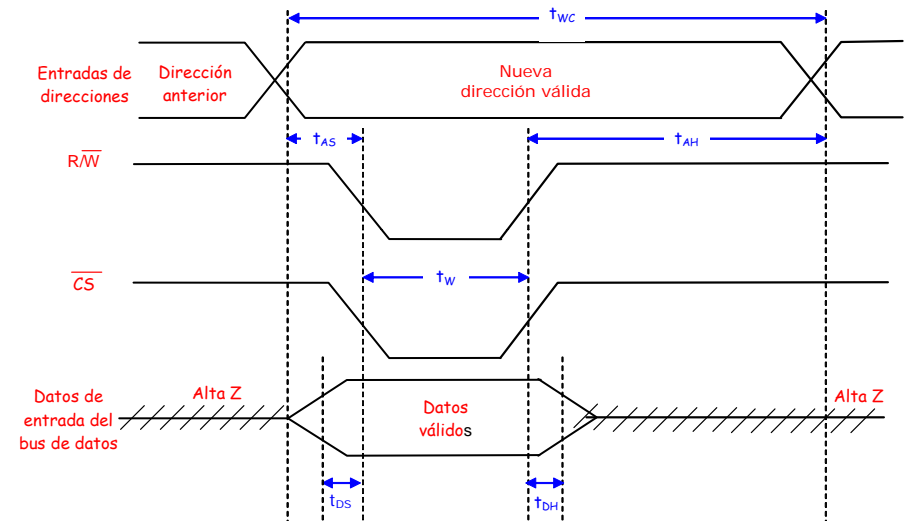
- Retardo de salida. Tiempo de permanencia de los datos en la salida después de que se desactive la señal de CS.



49

3.4 DIAGRAMAS DE TIEMPOS DE LAS RAM ESTÁTICAS

CICLO DE ESCRITURA (I)



50

3.4 DIAGRAMAS DE TIEMPOS DE LAS RAM ESTÁTICAS

CICLO DE ESCRITURA(II)

t_{WC} - (Write Cycle time).

- Tiempo mínimo de un ciclo de escritura completo.

t_{AS} - (Address Setup time).

- Tiempo de establecimiento de la dirección. Tiempo mínimo que deben adelantarse las entradas de dirección antes de activar la señal de escritura.

t_W - (Write time).

- Tiempo de escritura. Tiempo mínimo, que debe estar activa la señal de escritura.

t_{AH} - (Address Hold time).

- Tiempo de mantenimiento de la dirección. Tiempo de permanencia de las señales de dirección después de la desactivación de la señal de escritura.

t_{DH} - (Data Hold time).

- Tiempo de mantenimiento de los datos. Tiempo mínimo que deben permanecer los datos en la entrada después de la desactivación de la señal de escritura.

t_{DS} - (Data Setup time).

- Tiempo de establecimiento de los datos. Tiempo mínimo que deben estar presente los datos antes de la activación de la señal de escritura.



51

5. EXPANSIÓN DE LA CAPACIDAD DE LAS MEMORIAS (I)

Consiste en construir memorias de mayor capacidad, partiendo de un elemento de memoria de capacidad menor.

1. Expansión (aumento) del tamaño de palabra. Ejemplos:

- partiendo de memorias de capacidad 256x4 → memoria de 256x8
- partiendo de memorias de capacidad 1Mx1 → memoria de 1Mx8

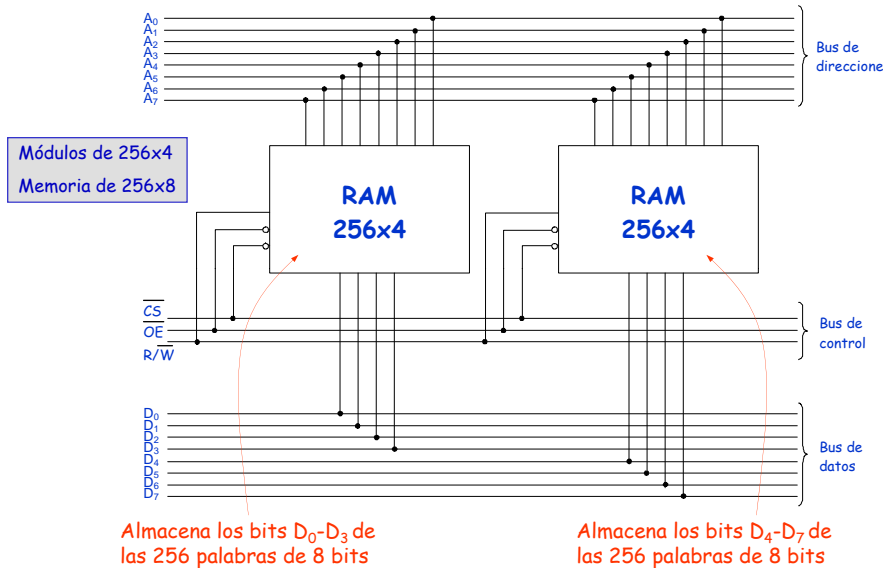
2. Expansión (aumento) del número de palabras. Ejemplos:

- partiendo de memorias de capacidad 256x4 → memoria de 512x4
- partiendo de memoria de 1Mx8 → memoria de 4MX8



52

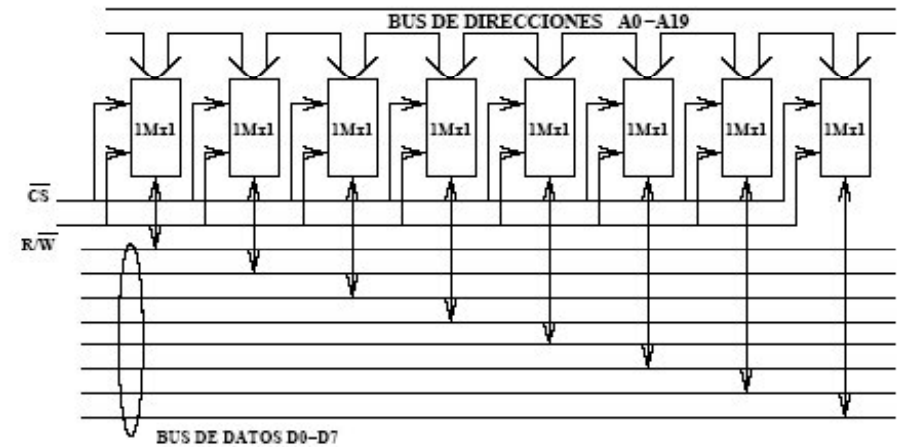
5.1 AUMENTO DEL TAMAÑO DE LA PALABRA (I)



53

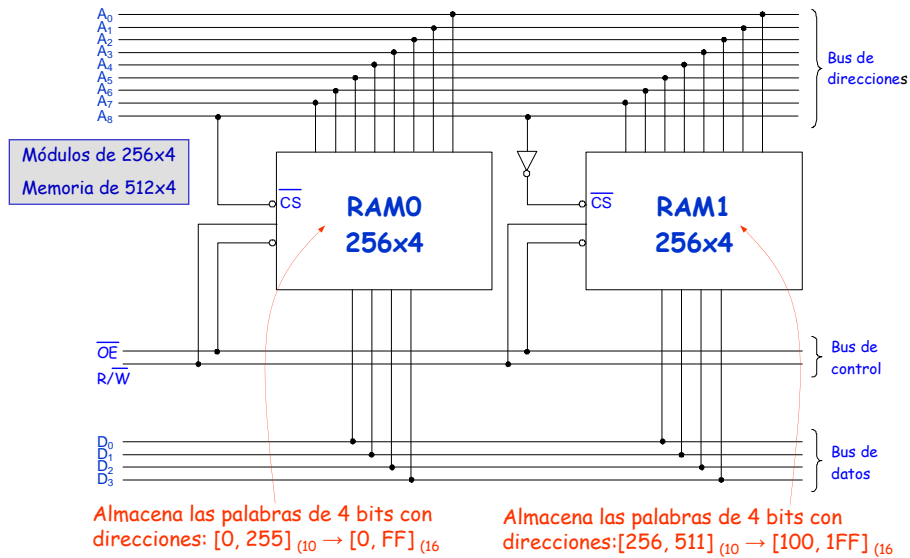
5.1 AUMENTO DEL TAMAÑO DE LA PALABRA (II)

Módulos de 1Mx1
Memoria de 1Mx8 → 1Mx1byte



54

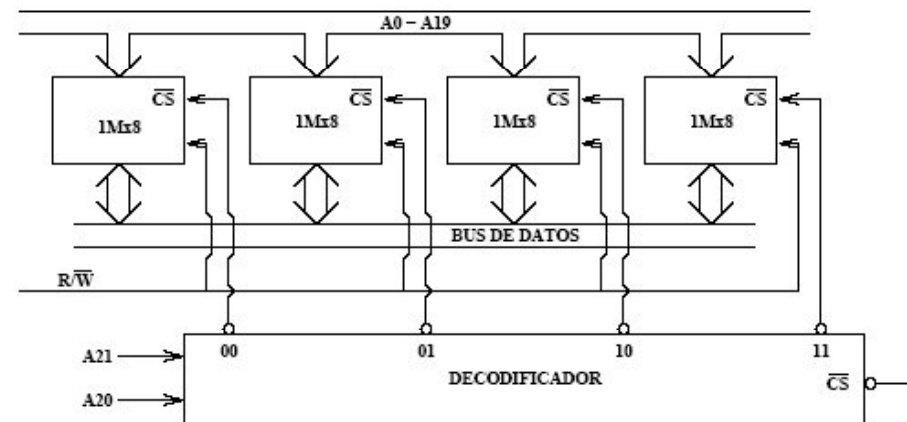
5.1 AUMENTO DEL NÚMERO DE PALABRAS (I)



55

5.1 AUMENTO DEL NÚMERO DE PALABRAS (II)

Módulos de 1Mx8
Memoria de 4Mx8



56